

PATENT ABSTRACTS OF JAPAN

(11)Publication number : - 10-093092 -

(43)Date of publication of application : 10.04.1998

(51)Int.Cl.

H01L 29/786

G02F 1/1333

G02F 1/136

(21)Application number : 08-245044

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 17.09.1996

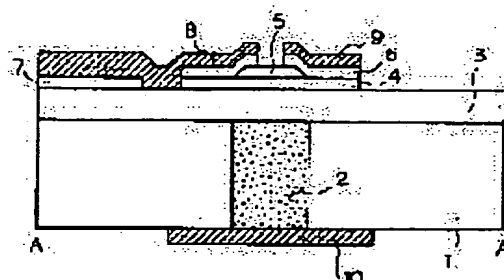
(72)Inventor : ATSUTA MASAKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To sharply reduce the electrostatic capacity between address wiring and data wiring and further to enable causing a current to flow, even if a wiring wire breaks by forming a semiconductor element wherein a semiconductor layer formed on a low-resistance region of the other wiring formed surface of an insulating substrate makes an active layer.

SOLUTION: An YAG laser is emitted on an insulating substrate 1 made of acrylic resin, by a pattern set beforehand, i.e., on positions being sites for data wiring to be formed and excluding its intersections with address wiring 10, and part of the laser beam irradiated sites of the insulating substrate 1 are carbonated to form low-resistance regions 2. Subsequently, a gate-insulating film 3 is formed on the top surface of the low-resistance region 2, and an amorphous silicon 4, an insulating film 5 and an n⁺-noncrystalline silicon layer 6 are laminated in the order in adding, and on it a source electrode 8 and a drain electrode 9 are formed in an oppositely facing state, and a thin-film transistor is formed. Further, address wiring 10 is formed on the opposite-side surface of the insulating substrate 1 and is brought into an ohmic contact with the low-resistance region 2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-93092

(43) 公開日 平成10年(1998) 4月10日

(51) Int.Cl.⁵
H 0 1 L 29/786
G 0 2 F 1/1333 5 0 0
1/136 5 0 0

F I
H 0 1 L 29/78 6 1 2 C
G 0 2 F 1/1333 5 0 0
1/136 5 0 0

審査請求 未請求 請求項の数1 O L (全 5 頁)

(21) 出願番号 特願平8-245044
(22) 出願日 平成8年(1996) 9月17日

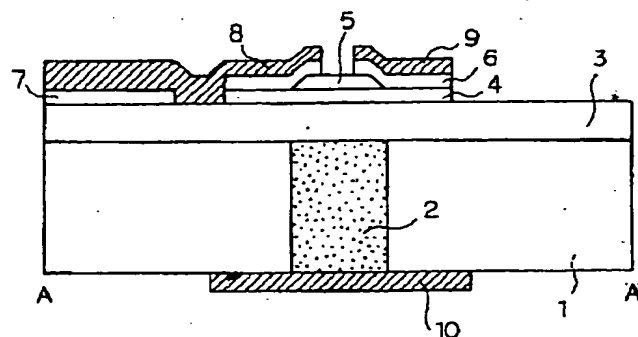
(71) 出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72) 発明者 熱田 昌己
神奈川県横浜市磯子区新磯子町33 株式会
社東芝生産技術研究所内
(74) 代理人 弁理士 須山 佐一

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 大型で精細度の高い液晶表示装置用の薄膜トランジスタアレイを提供することを目的とする。

【解決手段】 絶縁基板の両面に互いに直交させて多数の平行する配線を形成し、絶縁基板の一方の配線が形成された部位の各配線の交点から外れた位置に基板の両面を貫通する低抵抗領域を形成するとともに、絶縁基板の他方の配線が形成された面の低抵抗領域上に薄膜トランジスタを形成する半導体装置。



(2)

【特許請求の範囲】

【請求項1】 絶縁基板の両面に互いに直交させて多数の平行する配線を形成し、前記絶縁基板の一方の配線が形成された部位の各配線の交点から外れた位置に該基板の両面を貫通する低抵抗領域を形成するとともに、前記絶縁基板の他方の配線が形成された面の前記低抵抗領域上に形成された半導体層が能動層となる半導体素子を形成したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置等に用いられる半導体装置に係わり、特に、基板を直交する配線の交点に生じる静電容量を低減させた半導体装置に関する。

【0002】

【従来の技術】基板上に低温成膜された非晶質シリコン膜を用いた薄膜トランジスタアレイは、アクティブマトリックス液晶表示装置に応用されているが、この薄膜トランジスタ液晶表示装置は、大面積、高精細、高画質かつ安価なパネルディスプレイ、すなわちフラット型テレビジョンを実現できる可能性があるため近時盛んに研究開発が進められている。

【0003】そして、薄膜トランジスタ液晶表示装置により高精細の大型ディスプレイを構成した場合には、画素数が多くなるため必然的にアドレス配線とデータ配線の交点が増加するようになる。

【0004】ところで、従来の薄膜トランジスタ液晶表示装置においては、アドレス配線とデータ配線の交点は互いの配線が厚さ $1\mu\text{m}$ 以下の絶縁膜を介して交差する構造であるため、交点にはコンデンサが形成され静電容量が発生する。

【0005】したがって、大型の薄膜トランジスタ液晶表示装置では、この静電容量が無視できない値となり液晶表示装置の動作を遅延させる原因になっていた。

【0006】また、静電容量が大きくなるとアドレス配線の抵抗 R と静電容量 C の積で示される時定数 CR の値も増大し、これによりスイッチング素子に与えられるゲート信号パルスに歪みが生じ、液晶表示装置の正常な制御ができなくなるという問題もあった。

【0007】なお、データ配線とアドレス配線の交点の静電容量を低くするため両配線の交差する部分の面積を図6および図7に示すように極端に小さくすることも行われている。

【0008】すなわち、図6は従来の薄膜トランジスタアレイの断面図、図7は平面図である。尚、図7の $C-C'$ 線が、図6の断面に対応している。

【0009】この薄膜トランジスタアレイは、ガラス基板12の上にアドレス配線10を形成し、これらを覆ってゲート絶縁膜3を形成し、さらにその上に非晶質シリコン層4および $n+$ 非晶質シリコン層6と絶縁膜5を積

層し、 $n+$ 非晶質シリコン層6上に対向状態でソース電極8およびドレイン電極9を形成して構成されている。

この薄膜トランジスタアレイでは、これらの図に示すようにアドレス配線10とデータ配線11の両配線の交差する面積を小さくして静電容量を低くするために、交差部の配線幅を極端に細くしている。

【0010】このため、配線抵抗を一定値以上にするため、画素形成部分における両配線の線幅が逆に広くされ、したがって各画素の開口率が低くならざるを得ないという問題があった。

【0011】さらに、薄膜トランジスタを製造する際には、断線不良が生じることが往々にして生じていたが、配線長が長くなると断線不良の発生する確率が高くなるという問題もあった。なお、従来、断線不良の問題を解決するために、絶縁膜を二層にしたり、導電層を二重構造にしたりする方法などが提案されているが、これらの方法には、画素の開口率を下げたり、工程数を増加させたりするという別の問題があり、必ずしも完全な解決手段とはなっていなかった。

【0012】

【発明が解決しようとする課題】上述のとおり、従来の薄膜トランジスタ液晶表示装置では、アドレス配線とデータ配線の交点にはコンデンサが形成されて静電容量が発生し、このため、大型の薄膜トランジスタ液晶表示装置では、動作を遅延させる原因となり、また、時定数 CR の値が増大するためスイッチング素子に与えられるゲート信号パルスに歪みが生じて正常な制御ができなくなり、さらに、配線長が長くなると断線不良の発生する確率が高くなるという問題があった。

【0013】本発明は、かかる従来の問題を解決するためになされたもので、アドレス配線とデータ配線の間の静電容量を著しく低減させることができ、さらに配線に断線不良が生じた場合でも通電し得る半導体装置を提供することを目的としている。

【0014】

【課題を解決するための手段】本発明の目的は、絶縁基板の両面に互いに直交させて多数の平行する配線を形成し、前記絶縁基板の一方の配線が形成された部位の各配線の交点から外れた位置に該基板の両面を貫通する低抵抗領域を形成するとともに、前記絶縁基板の他方の配線が形成された面の前記低抵抗領域上に形成された半導体層が能動層となる半導体素子を形成したことを特徴とする半導体装置により実現される。

【0015】本発明の半導体装置に用いる絶縁基板としては、ポリエチレン、ポリプロピレン、ポリカーボネート、ポリイミドのような体積固有抵抗が $10^{12}\Omega\cdot\text{cm}$ 以上の透明な合成樹脂基板が適している。

【0016】また、絶縁基板の厚さは、 $10\sim 0.1\text{mm}$ 程度、特に $1\sim 0.3\text{mm}$ 程度が適している。

【0017】絶縁基板の低抵抗領域は、これらの絶縁基

(3)

3
板に高エネルギービームを照射して照射部の分子構造を変化させることにより形成される。絶縁基板の高エネルギービームの照射された部分は分子構造が変化して電気抵抗が低下し、光透過率も低くなる。分子構造中に炭素原子を含む素材からなる絶縁基板では、高エネルギービームの照射により、炭化して黒色となり電気抵抗は低くなる。なお、高エネルギービームの照射により溶解して樹枝状に連なり表裏に貫通する導電路を形成する金属粉末を合成樹脂中に予め配合しておくことにより、電気抵抗の非常に低い領域を形成させることも可能である。また、高エネルギービームを効果的に吸収する増感剤を、絶縁基板に配合しておくこともできる。

【0018】本発明において絶縁基板に形成される低抵抗領域の体積固有抵抗は、絶縁基板の表裏で測定して $100\text{m}\Omega\cdot\text{cm}$ 以下、好ましくは $1\text{m}\Omega\cdot\text{cm}$ 以下である。この方法に使用する高エネルギービームとしては、細いビームに収斂可能で、かつ、絶縁基板を構成する分子構造を変換させ、特に炭化させて電気抵抗を低下させることができるものであれば、いかなるものでも使用可能であるが、特に、 CO_2 レーザ、YAGレーザなどのレーザービームが適している。

【0019】本発明の半導体装置において絶縁基板に低抵抗領域を形成する方法としては、絶縁基板上に薄膜トランジスタを形成する前に絶縁基板の所要位置に低抵抗領域を形成する方法と、絶縁基板上に薄膜トランジスタを形成した後に絶縁基板の所要位置に低抵抗領域を形成する方法がある。

【0020】前者の方法では、まず、前述した合成樹脂フィルムなどからなる絶縁基板の所要位置、すなわち、例えば、アドレス配線が形成される部位のデータ配線との交点から外れた所定の位置に、例えば、高エネルギービームを照射して、各交点の数だけの表裏を貫通する低抵抗領域を形成する。

【0021】次いで、周知のホトリソグラフィ技術を用いて、一方の面にこれらの低抵抗領域とオーミックコンタクトするデータ配線を形成し、他方の面には低抵抗領域の上に、周知のホトリソグラフィ技術を用いて、例えば、絶縁膜、非晶質シリコン膜を順に積層させ、さらにソース・ドレイン電極を積層させて薄膜トランジスタを形成し、アドレス配線を形成する。

【0022】後者の方法では、低抵抗領域を形成する前に、絶縁基板の一方の面に、周知のホトリソグラフィ技術を用いて、前者同様にして絶縁膜、非晶質シリコン膜を順に積層させ、さらにソース・ドレイン電極を積層させて薄膜トランジスタを形成し、アドレス配線を形成する。次いで、他方の面側から薄膜トランジスタのチャネル領域に向けて高エネルギービームを照射して低抵抗領域を形成し、しかる後、低抵抗領域とオーミックコンタクトするようにデータ配線を形成する。

【0023】このようにして得られる半導体装置は、絶

4
縁基板を介してアドレス配線とデータ配線が形成されており、各配線間の間隔が大きいから、配線の交点における静電容量は非常に小さいものとなる。また、低抵抗領域を表裏の配線の交点を除いてデータに沿って形成するようにすれば、データ配線が断線しても低抵抗領域を介して導通するので導通が遮断されるようなことはない。

【0024】したがって、本願発明による薄膜トランジスタアレイを用いたアクティブマトリックス液晶表示装置は、大面積、高精細にした場合でも、動作が遅延したり、時定数CRの値が増大してゲート信号パルスに歪みが生じてスイッチング素子の正常な制御ができなくなったりすることがなく、断線不良の発生確率も著しく低下する。

【0025】

【発明の実施の形態】以下、図面を参照しながら本発明の実施例を説明する。

【0026】図1は、本発明の一実施例を示す断面図であり、図2は、平面図である。尚、図2のA-A'線が、図1の断面に対応している。

20 【0027】厚さ1mmのアクリル樹脂からなる絶縁基板1に、予め設定されたパターンで、すなわちデータ配線11が形成されるべき部位であってアドレス配線10との交点を除く位置に、直径 $10\mu\text{m}\phi$ のレーザービーム(YAGレーザ)を照射して、絶縁基板1のレーザービーム照射部位を一部炭化させて低抵抗領域2を形成した。なお、レーザービームの照射は、片面から照射して基板表面を炭化させ照射表面近傍のレーザービームの吸収率を高めた後、反対側の面から照射して効果的に低抵抗領域を形成させた。

30 【0028】次いで、低抵抗領域2の上面にゲート絶縁膜3を形成し、さらに、非晶質シリコン4、絶縁膜5、 n^+ 非晶質シリコン層6を順に積層し、 n^+ 非晶質シリコン層6上に対向状態でソース電極8およびドレイン電極9を形成して薄膜トランジスタを構成した。符号7は画素電極であり、薄膜トランジスタのソース電極8はこの画素電極7とコンタクトしている。

【0029】また、絶縁基板1の反対側の面には、低抵抗領域2とオーミックコンタクトするようにアドレス配線10が形成されている。

40 【0030】この実施例では、データ配線とアドレス配線との交点部分の配線幅を、交差面積を小さくする目的で極端に細くする必要がなく、したがって、その分だけ相対的に画素領域の配線幅を細くできるので画素領域を広くすることができる。

【0031】図3は、図1および図2に示した薄膜トランジスタを用いた薄膜トランジスタ液晶表示装置の回路図である。この液晶表示装置では、複数の画素スイッチング用薄膜トランジスタ301、ゲート線302、信号線303からなる薄膜トランジスタアレイが形成され、また、薄膜トランジスタアレイを駆動するための図示し

50

5

ない駆動回路も設置されている。304は液晶容量、305は補助容量を示している。

【0032】この実施例によれば、アドレス配線とデータ配線の交点における静電容量を低くするために交差部分の配線幅を極端に狭くする必要がないから、従来のように画素領域の配線幅を広くする必要がなくなり、その分だけ相対的に画素電極の面積が広くなり、より精度の高い薄膜トランジスタが得られる。

【0033】図4は、本発明の他の実施例を示す断面図であり、図5図は平面図である。尚、図5のB-B'線が、図4の断面に対応している。

【0034】この実施例は絶縁基板1の部分を除いて図1および図2に示した実施例の構成と同一であるので、同一部分に同一符号を付して重複する説明は省略する。

【0035】この実施例の絶縁基板1は、厚さ1mmの亚克力樹脂からなり、データ配線11とアドレス配線10との交点部分だけを除いて、データ配線11の配線経路に沿って低抵抗領域2が形成されている。

【0036】また、この実施例によれば、データ配線13の下に低抵抗領域2を設けているため、データ配線13に断線不良が発生した場合でも、合成樹脂基板内の低抵抗領域2を介して、電気信号を伝えることができる。

(4)

これにより、より信頼性の高い薄膜トランジスタ-LCDを実現することができる。

【図面の簡単な説明】

【図1】 本発明の一実施例の断面図である。

【図2】 図1に示した一実施例の平面図である。

【図3】 図1および図2に示した実施例を液晶表示装置に適用したときの回路図である。

【図4】 本発明の他の実施例の断面図である。

【図5】 本発明の他の実施例の平面図である。

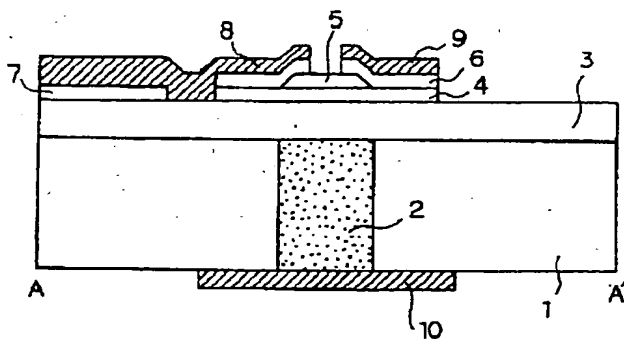
10 【図6】 従来の薄膜トランジスタアレイの断面図である。

【図7】 図6に示した従来の薄膜トランジスタアレイの平面図である。

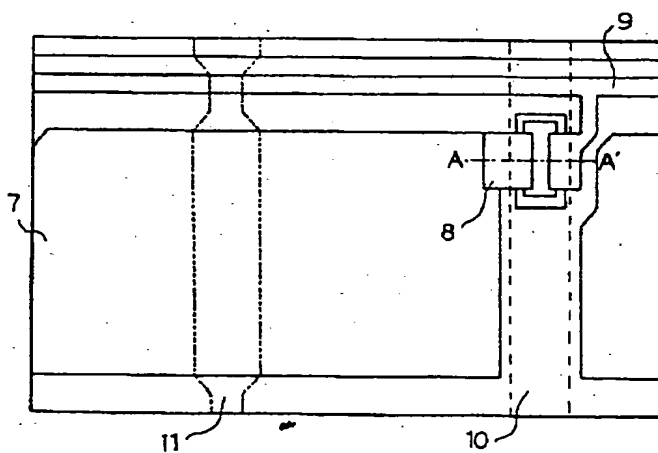
【符号の説明】

1…合成樹脂基板、2…低抵抗領域、3…ゲート絶縁膜、4…非晶質シリコン層、5…絶縁膜、6… n^+ 非晶質シリコン層、7…画素電極、8…ソース電極、9…ドレイン電極、10…アドレス配線、11…Cs電極、12…ガラス基板、13…データ配線、301…薄膜トランジスタ、302…ゲート線、303…信号線、304…液晶容量、305…補助容量。

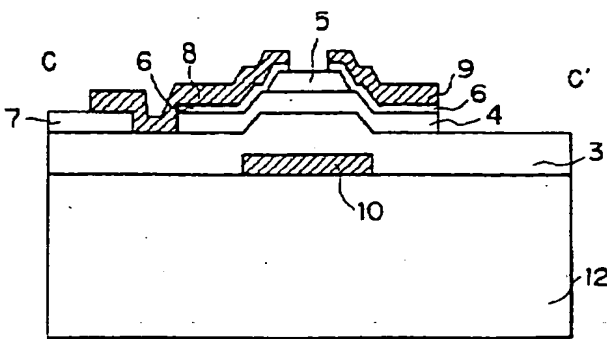
【図1】



【図2】

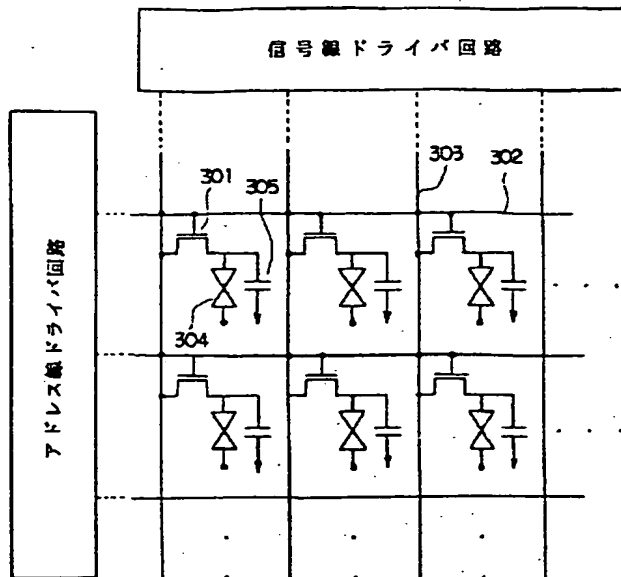


【図6】

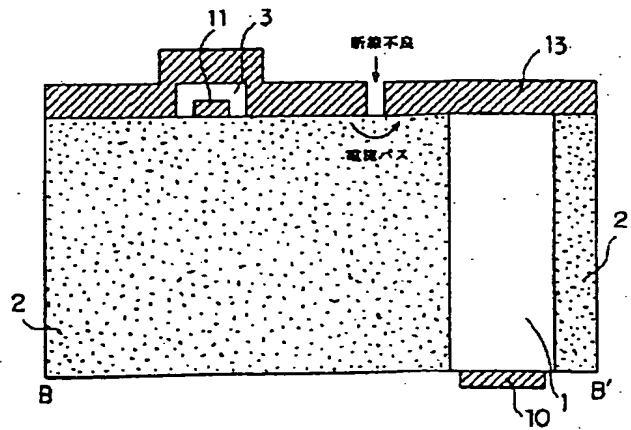


(5)

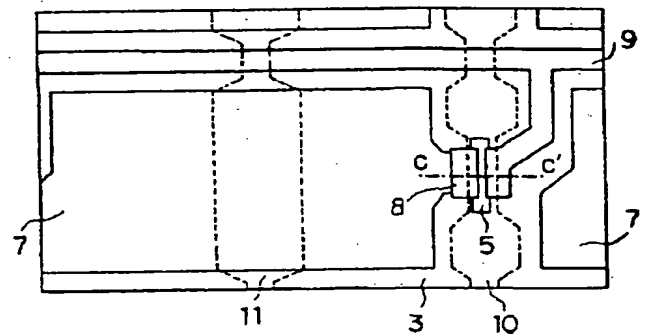
【図3】



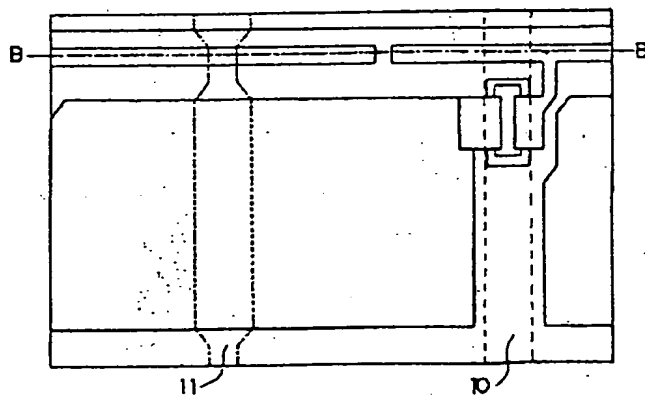
【図4】



【図7】



【図5】



THIS PAGE BLANK (USPTO)